



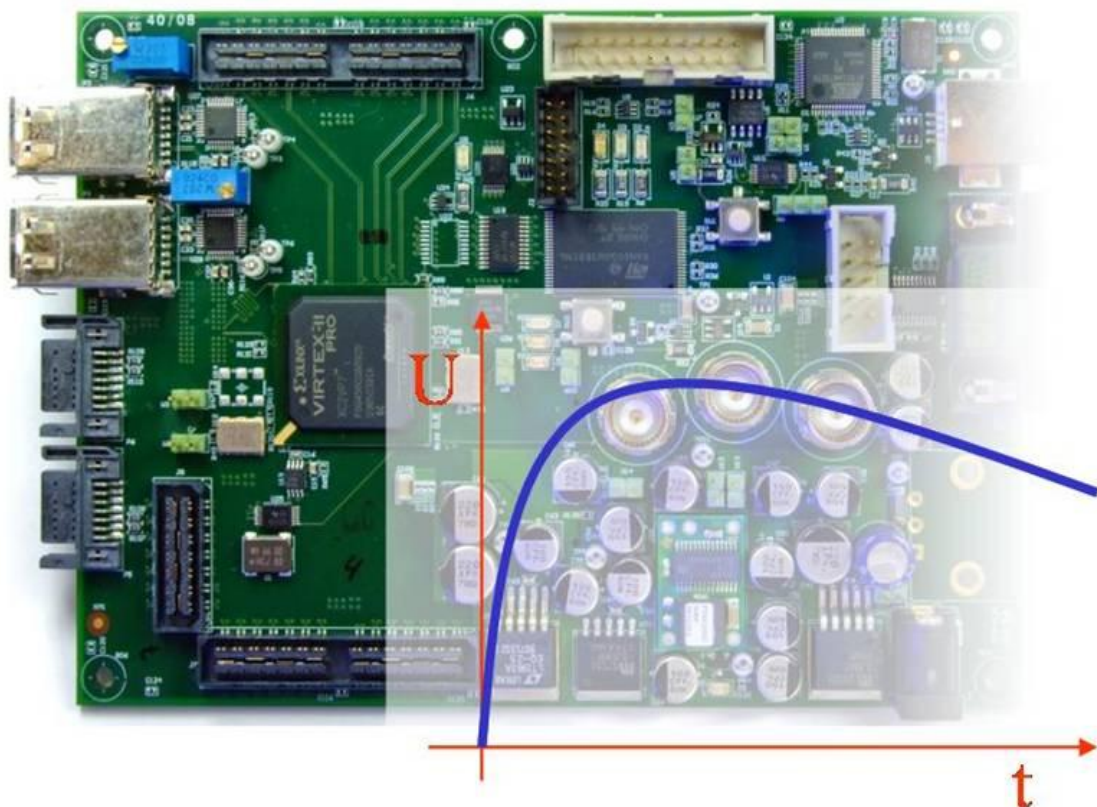
Arnold Wiemers

Seminar

Leiterplatten 3

...*HighSpeed*Leiterplatten

Technisch-physikalische Eigenschaften von Multilayersystemen mit hohen Ansprüchen an eine zuverlässige Signal- und Powerintegrität



Was leistet das Seminar "Leiterplatten 3 ...*HighSpeed*Leiterplatten" und für wen ist es zu empfehlen ?

Alles wird schneller. Steigende Taktraten und hohe Datentransferraten bestimmen den elektronischen Alltag. Vor allem aber nehmen die Signalanstiegszeiten der modernen Bauteile drastisch ab.

Weil sich mit der Übertragungsgeschwindigkeit auch die qualitativen Anforderungen an die physikalische Funktion der Baugruppe ändern, hat diese Entwicklung einen massiven Einfluß.

Die **Signalintegrität**, die **EMV** und die **Powerintegrität** sind besonders zu beachten. Das CAD-Layout und die Leiterplatte (...üblicherweise ein Multilayer) müssen die technischen Anforderungen umsetzen.

Weil das CAD-Layout die geometrischen Forderungen an die Leiterplatte definiert, gilt es, den Einfluß von Leiterbahnbreiten und Lagenaufbauten genau zu kennen.

Die Eigenschaften der eingesetzten Lamine und Substrate sind wichtig. Die Prozessierung der Drucke und die Durchführung diverser galvanotechnischer Arbeitsgänge haben eine Auswirkung auf die Signallaufzeit und auf die Signalübertragungsqualität.

Die Konstrukteure elektronischer Baugruppen müssen die physikalischen Auswirkungen diverser mechanischer und geometrischer Varianten bei der Konzeption eines Gerätes berücksichtigen. Nur dann ist ein zuverlässiger und langfristig störungsfreier Betrieb gewährleistet.

Insbesondere gilt es, den Einfluß der wichtigsten Produktionsschritte für eine Leiterplatte richtig einschätzen zu lernen und gezielt für eine sicher vorhersagbare Baugruppenfunktion zu nutzen.

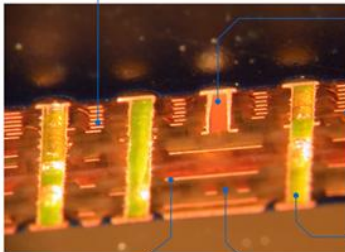
Das Seminar richtet sich an **Baugruppenkonstrukteure, Schaltungsentwickler** und **CAD-Designer/innen**. Es ist auch sinnvoll für die **CAM-Bearbeiter/innen** der LP-Hersteller, weil es die verschachtelten Zusammenhänge zwischen CAD und Leiterplatte erläutert. Es fördert somit das partnerschaftliche Miteinander auf der Linie "CAD - CAM - Leiterplatte".

Die übersichtliche und strukturierte Darstellung der Themen ist ebenfalls interessant für alle, deren Aufgabe es ist, das Produkt "Baugruppe" führend und beratend zu begleiten.

Schliff durch die Leiterplatte Cero

Ein MPS mit Lagenabstände von 50µm für die kapazitive Stromversorgung und für eine optimierte Wärmeableitung

Begriff
MPS = MultitPowerSystem



Sequentielle BuriedVias



Schliff

Gepluggte BGA-Vias

Der EMV-stabile Lagenaufbau sorgt für eine hochwertige Signalintegrität

Die Differentielle Leiterbahnführung ermöglicht die Einhaltung definierter Impedanzen

Leiterplatten 3
7

Anforderungen an Leiterplatten

Technische Anforderungen für das CAD-Design elektronischer Geräte (SI, EMI, PI, MPS, Wärme).

Anforderungen an die Qualität von CAD-Designs.

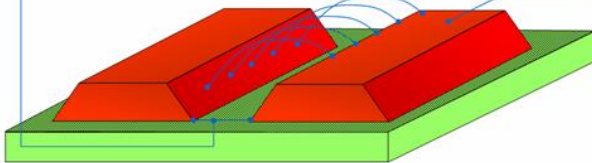
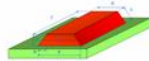
Allgemeine Eigenschaften von Leiterplattenklassen.

Eigenschaften von Bildstrukturen 4

Flankenwinkel

Der Winkel der Leiterbahnflanken definiert die gegenüberliegenden Flächen und damit die kapazitiven Eigenschaften von differentiellen Impedanzen.

Der Abstand der Basis benachbarter Leiterbahnen ist bestimmend für den elektrischen Sicherheitsabstand auf der Baugruppe und ist damit ein wichtiger Routing-Parameter, insbesondere bei Ex-geschützten Geräten. Vom Abstand hängt das Übersprechen zwischen Signalleitungen ab, i.e. die Signalintegrität. Weiterhin müssen die Kriechstromfestigkeit und die Überschlagsspannung beachtet werden.



Leiterplatten 3
16

Leiterbildstrukturen

Elementare technische und physikalische Eigenschaften von Leiterbildstrukturen. Lötfläche, Impedanz und Entwärmung. Der Einfluß der Geometrien von Leiterbahnen auf die Funktion der Leiterplatte und des elektronischen Gerätes. Rückätzung und Ätzflanken.

Prepregs

„Prepreg“ steht für „Preimpregnated“ und soll darauf hinweisen, daß das Glasgewebe bereits mit Epoxydharz vorbeschichtet ist.

Alle Prepregs bestehen aus jeweils einer einzigen Glasgewebelage. Dünne Prepregs haben ein feines und dichtes Gewebe und kleine Maschenöffnungen.

Dicke Prepregs haben ein grobes Gewebe und große Maschenöffnungen.

Um unterschiedliche Dicken zwischen Laminaten zu erreichen, können bis zu drei Prepregs übereinander geschichtet werden.

60µm-Prepreg Glasgewebetyp 1080
100µm-Prepreg Glasgewebetyp 2125
180µm-Prepreg Glasgewebetyp 7628



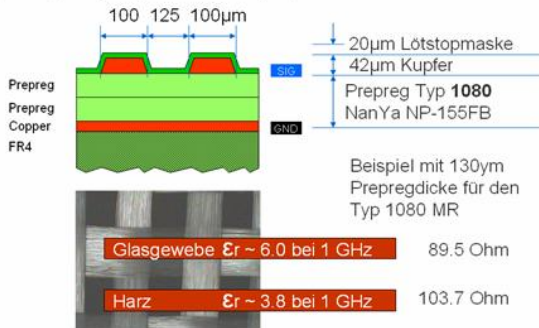
Leiterplatten 3
85

Basismaterial

Basismaterialien für elektronische Geräte. Lamine und Prepregs. Eigenschaften von Glasgeweben und Harzen. Übliche Werte für Kupferdicken. Diverse technische Werte, z.B. der Tg-Wert sowie die dielektrischen Parameter, die Verlustwerte und der CTE-Wert.

Impedanzabweichungen abhängig vom Glasgewebe 2

Impedance type "Differential Coated Microstrip"
(POLAR type "Edge-Coupled Coated Microstrip 18")



Die Werte für differentielle Impedanzen können wegen der unterschiedlichen dielektrischen Werte für Harz und Glasgewebe stark abweichen.

Leiterplatten 3

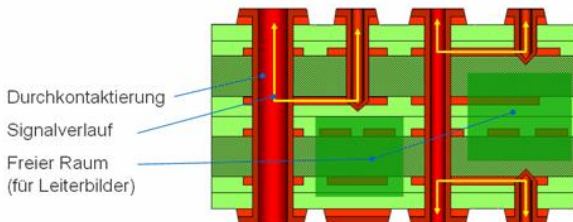
87

Prepregs + Laminate

Der Einfluß diverser elementarer Materialeigenschaften auf die Qualität einer Übertragungsleitung. Die Struktur von Glasgewebe und Glasgewebefäden. CAF. Allgemeine Regeln für die Konstruktion von Multilayersystemen mit Prepregs unterschiedlicher Dicke.

Bohrungen : Kontaktierungsstrategien bei Multilayern 2

Kontaktierungen in einem 6-Lagen Multilayer : die Signalverbindungen werden über Bauteilbohrungen und über DK-Bohrungen geführt. Als zusätzliche Kontaktierungsoptionen ermöglichen BlindVias von der Ober- und von der Unterseite kurze und effektive Signalwege. Die Verdrahtung ist kompakt und schafft innerhalb der Leiterplatte Freiräume, die für das Layout genutzt werden können.



Hinweis

Ein direkter Signalweg von Netzknoten zu Netzknoten verbessert die Signalintegrität sowie das EMV-Verhalten einer Baugruppe.

Leiterplatten 3

105

Kontaktierungsstrategien

Kontaktierte und nichtkontaktierte Bohrungen. Definition des "Aspect Ratio" für die Berechnung des Durchmessers und der kontaktierbaren Hülsenlänge für Buried Vias, Blind Vias und THTs. Maximale Abstände zwischen den Lagen eines Multilayers.

Bohrungen : Bohrklassen in einem Multilayer

In einem Multilayer können die verschiedenen Kontaktierungsoptionen miteinander kombiniert werden. Dadurch ergeben sich viele mögliche Strategien für die Stromversorgung einer Baugruppe und für die Verdrahtung der erforderlichen Signalwege. Der Lagenaufbau des Multilayers muß auf die Kontaktierungsstrategie abgestimmt sein. Dementsprechend muß der Lagenaufbau vor Beginn der Arbeiten am CAD-System verbindlich vorliegen.

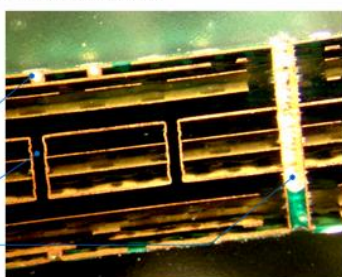
Beispiel

Kontaktierungen an einem 12-Lagen-Multilayer

BlindVia (gelasert)

BuriedVia (gebohrt)

Durchkontaktierung (gebohrt)



Leiterplatten 3

95

Vias

VIPs: CAD-Designs mit Vias in Pads ermöglichen eine hochdichte Entflechtung von Leiterplatten. Mit Blick auf die Signalintegrität ist es möglich, Signalverbindungen kompakt und direkt zu verdrahten. Die Konstruktion von Multilayern mit sequentiellen Kontaktierungen.

Kantenmetallisierung (Haltesteg 2)

Bei rechteckiger Leiterplattenkontur empfiehlt sich ein Haltesteg in den vier Ecken der Leiterplatte. Die Stegbreite muß den mechanischen Belastungen der Folgeprozesse angepaßt sein.

Regel (Intervall für die Stegbreite)

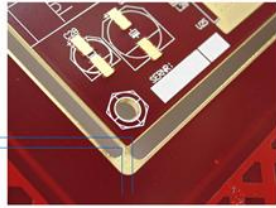
Das Intervall für die minimale Breite der Stege ist :

$$1.0\text{mm} \leq \text{Stegbreite}_{(FR4)} \leq 1.5\text{mm}$$

Hinweis

Für das Trennen des Haltesteges sollte unbedingt ein Fräswerkzeug eingesetzt werden.

Im Bereich des abgetrennten Haltesteges ist die Leiterplattenkante nicht metallisiert.



Leiterplatten 3
120

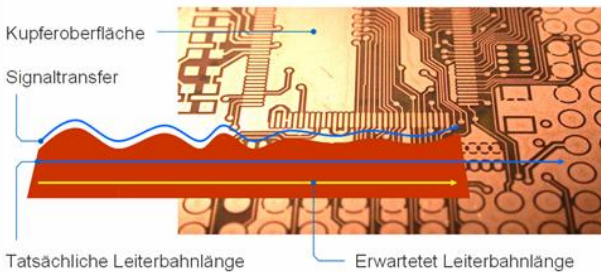
Metallisieren

Galvanische Produktionsprozesse für die Metallisierung von Bohrungen und Oberflächen. Werte für diverse Kupferdicken. Die Kantenmetallisierung ermöglicht die Abschirmung der inneren Lagen eines Multilayers und verbessert das EMV-Verhalten.

Der Einfluß der Kupferoberfläche auf die Signalübertragung

Die Oberflächen der Basismaterialien müssen mehrfach während des Fertigungsprozesses gereinigt werden. Das Material wird entweder chemisch entoxidiert oder es wird gebürstet. Die Kupferoberfläche wird durch diese Verfahren aufgeraut.

Für High-Speed-Schaltungen, bei denen der Skineneffekt wirksam wird, verlängert sich dadurch der Signalweg. Die Signallaufzeiten nehmen im Vergleich mit den berechneten Werten zu.



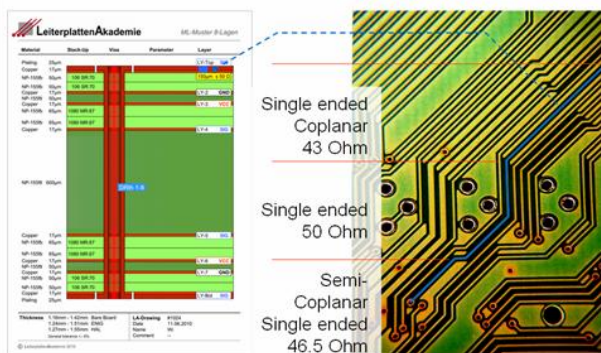
Leiterplatten 3
168

Endoberfläche

Der Einfluß der Oberflächenrauigkeit auf die Signallaufzeit. Gründe für eine plane und mikro-rauhe Oberfläche. Produktionstechnik und Konstruktion eines Multilayers für eine zuverlässige Signalübertragung.

Eingebettete Leiterbahnen

Das pauschale Einbetten von Leiterbahnen in Masseflächen ist ohne Blick auf andere physikalischen Eigenschaften nicht akzeptabel. So wäre eine einheitliche Impedanz wichtiger als eine „Abschirmung“.



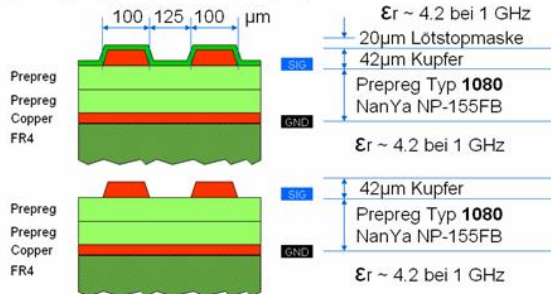
Leiterplatten 3
270

Routing

Elementare Regeln für das Routen von Signalleiterbahnen. Übliche Fehler beim Routing und bei der Einbettung von Leiterbahnen in Kupferflächen. Folgen des unkontrollierten Flächenfüllens. Der Einfluß von Strukturabständen auf die Signalqualität.

Impedanz in Abhängigkeit vom Lötstoplack

Impedance type "Differential Coated Microstrip"
(POLAR type "Edge-Coupled Coated Microstrip 1B")



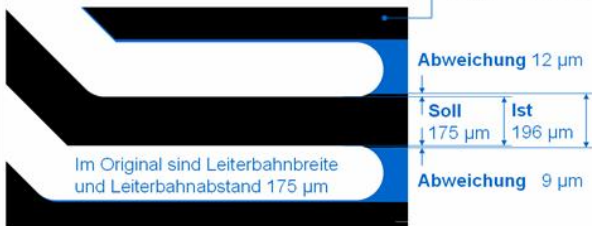
	Impedanzwerte mit Lötstoplack	Impedanzwerte ohne Lötstoplack
MR - resin	$71-8 = 63 \cdot 2 = 126$	99.9 Ohm
MR + resin	$71+8 = 79 \cdot 2 = 158$	104.4 Ohm
		111.8 Ohm
		116.8 Ohm

Lötstop- und Bestückungsdruck

2-Komponenten-Epoxydharzsysteme und ihr Einfluß auf das physikalische Verhalten von Leiterbahnen für die Signalübertragung. Dielektrika der Epoxydharze für Lötstoplack und Bestückungsdruck. Veränderungen des Impedanzwertes durch Lacke.

m.n - Format

Durch die Änderung der mechanischen Abstände zwischen den metallischen Strukturen ändern sich die physikalischen Eigenschaften der Leiterplatte.



Der Abstand zwischen den Flanken des differentiellen Leiterbahnpaars ist durch die Abweichung von $12 + 9 = 21 \mu\text{m}$ größer, als im Layout vorgesehen.
Der ursprünglich vorberechnete Impedanzwert wird dann nicht mehr mit dem realisierten Impedanzwert übereinstimmen.

Datransfer

Datenformate für den zuverlässigen Austausch von Informationen zwischen dem CAD-System und der CAM des Leiterplattenherstellers. Toleranzen in der Auflösung der Datenbasis und die resultierende Konsequenz für diverse technische Eigenschaften der Leiterplatte.

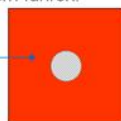
Powerplanes : Geometrie der Wärmefalle

Hinweis

Eine Wärmefalle ist aus Sicht der Prozessierung des Leiterbildes eine komplexe Bildgeometrie. Die Ausprägung der Geometrie einer Wärmefalle mit Strukturen $< 50\mu\text{m}$ sind in der Praxis schwer umsetzbar und können während der Produktionsprozesses sogar zu Fehlern führen.

Regel (Anbindung von Vias)

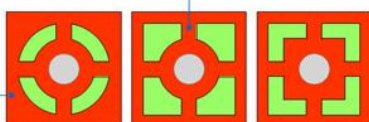
Vias mit einem Enddurchmesser $< 500\mu\text{m}$ sollen ohne Ausprägung einer Wärmefalle vollflächig an die Powerplane angeschlossen werden.



Hinweis (Stegbreite) Eine Stegbreite von $150\mu\text{m}$ ist ausreichend.

Hinweis (Geometrie der Wärmefalle)

Die Geometrie der Wärmefalle kann unterschiedlich konstruiert werden. Aus praktischen Gründen sind runde Wärmefallen zu bevorzugen.



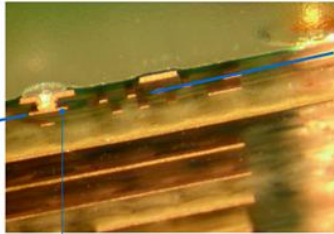
Konstruktion von Powerplanes

Berechnung des minimalen Abstandes zwischen Isolationspads und Powerplanes sowie zu anderen Leiterbildstrukturen. Definition der Wärmefalle. Ursachen und Folgen von Schlitzen in Powerplanes. Verbesserung der Signalintegrität.

Bohrungen : Pads auf der Zielebene von BlindVias

Bei gelaserten BlindVias wird das Substrat (i.e. Epoxydharz und Glasgewebe bei FR4) durch den Energieeintrag des Lasers erhitzt und verdampft (~ Ablation). Der Prozeß ist über die Zeit und die Qualität der Schichtreihenfolge gesteuert.

Die Zielebene des BlindVias muß durch ein Kupferpad definiert sein. Trifft der Laser auf das Kupferpad, dann wird der Materialabtrag in Z-Richtung beendet. Der Paddurchmesser orientiert sich an der allgemeinen Paßtoleranz zwischen Leiterbild und Mechanik von üblicherweise $\pm 100\mu\text{m}$.



BlindVia Pad auf der Zielebene

Regel (BlindVia Pad auf Zielebene)

Für den Durchmesser des Pads auf der Zielebene eines BlindVias gilt :

$$\varnothing \text{ BlindVia Pad}_{(\text{Zielebene})} \geq \varnothing \text{ BlindVia Loch} + 2 \cdot 100\mu\text{m Toleranz}$$

Leiterplatten 3
107

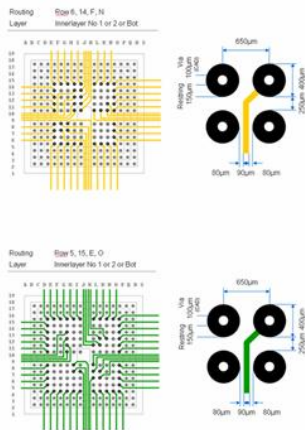
Elementare Designregeln

Regeln für das Routen von Leiterbahnen und für die Anlage von Padstacks in der CAD-Bibliothek. Einzuhaltende Abstände zwischen benachbarten Tracks und Pads. Berücksichtigung von produktionsbezogenen Einflüssen auf das CAD-Design.

LVDS und Routing in der Z-Achse

Die Anforderung an die Qualität der Signalübertragung steigt. Der Pitchabstand bei integrierten Komponenten nimmt ab, die Anzahl der zu verbindenden Netze nimmt zu. Bei FPGAs hat sich die Übertragung via LVDS (Low Voltage Differential Signaling) durchgesetzt.

Der geringe Raum zwischen den BGA-Pads reicht für das Routing eines differentiellen Leiterbahnpaars in einer Ebene *nicht* mehr aus. Die Verdrahtung von differentiellen Leiterbahnpaaren muß deshalb über benachbarte Multilayerlagen erfolgen. Das geht nur dann, wenn Lagenabstände und Lagenversätze eng toleriert sind.



Leiterplatten 3
157

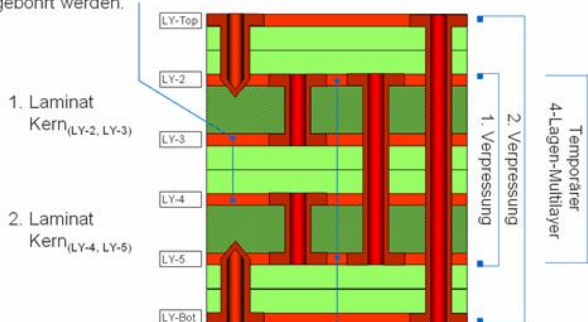
BGA-Routing

Beachtung der Bauteilgeometrien bei den Routingvorgaben. Analyse der erforderlichen Routingkanäle. Vorgaben für die minimalen Leiterbahnbreiten und die notwendigen Sicherheitsabstände. Differentielle Impedanzen in der Z-Achsen-Richtung eines Multilayers.

Bauklassen : Kontaktierungsoptionen + Kupferdicken

Regel (Vias in benachbarten Laminaten)

Gegenüberliegende Layer benachbarter Laminare (~ Kerne) können nicht gebohrt werden.



Hinweis

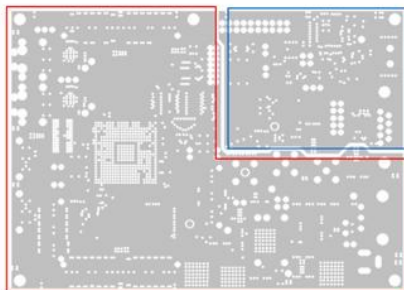
Temporär außenliegende Kupferschichten sollen gleich dick sein.

Leiterplatten 3
211

Konstruktion von Multilayern

Regeln für die Konstruktion von Multilayersystemen. Beachtung der materialbezogenen Kupferdicken. Erforderliche Verpressungen für einen Multilayer auf Grund der Verteilung der Kerne und der Strategie für das Kontaktieren der Lagen.

LP2010 : Analyse der Powerplane



Regel

Powerplanes müssen eine rechteckige Geometrie haben.

- GND
- VCC

Die Innenlagen sind als Powerplane ausgelegt. Weil der Multilayer nicht mehr als 14 Lagen haben sollte, ist die Plane in zwei Flächen aufgeteilt, auf denen einerseits GND und andererseits VCC (3V3) untergebracht ist. Weil die GND-Fläche als Polygon ausgelegt ist, sind beim EMV-Test Störabstrahlungen zu messen,

Leiterplatten 3

281

Powerplanes

Konstruktion von Powerplanes für ein Höchstmaß an Signal- und Powerintegrität (siehe ... "LP2010"). Aufteilung von Stromversorgungsflächen mit unterschiedlichen Potentialen. Randisolationen. Der Einfluß des Aspect Ratio auf die Geometrien einer Innenlage.

Allgemeine Aufbauoptionen für einen 8-Lagen-Multilayer

Tabelle 1

	Variante 1	Variante 2	Variante 3	Variante 4	Variante 5	Variante 6
Layer 1	SIGNAL	SIGNAL	SIGNAL	GND	SIGNAL	SIGNAL
Layer 2	GND	GND	SIGNAL	VCC	GND	GND
Layer 3	VCC	VCC	GND	SIGNAL	VCC	SIGNAL
Layer 4	SIGNAL	GND	VCC	SIGNAL	SIGNAL	VCC
Layer 5	SIGNAL	SIGNAL	VCC	SIGNAL	GND	SIGNAL
Layer 6	VCC	SIGNAL	GND	SIGNAL	SIGNAL	SIGNAL
Layer 7	GND	GND	SIGNAL	VCC	GND	GND
Layer 8	SIGNAL	SIGNAL	SIGNAL	GND	SIGNAL	SIGNAL
Entkopplung	gut	gut	gut	gut	gut	schlecht
EMV	mittel	gut	mittel	mittel	mittel	schlecht
Signalintegrität	schlecht	gut	schlecht	schlecht	gut	schlecht
Eigenstörung	hoch	niedrig	niedrig	hoch	mittel	mittel

Ergebnis Die meisten theoretisch möglichen Kombinationen sind in der Praxis nicht brauchbar.

Leiterplatten 3

228

Aufbauoptionen für Multilayer

Strategien für die Konstruktion von Multilayersystemen für High-Speed-Leiterplatten. Zuordnung idealer Eigenschaften mit Blick auf die Kombination der Lagenfunktionen zueinander. Schemata für die qualitative Bewertung einer Multilayerkonstruktion.

Multilayeraufbauten für BGAs

300µm
100µm
70µm
Pad
Leiterbahn

BGA mit 500µm Pitch

ungebohrt

1 2 3 4 5 6 7 8 9 10

Die Geometrie des BGAs bestimmt den Lagenaufbau. Das Routing der Signale erfolgt hier auf den ML-Lagen LY-Top, LY-4, LY-5, LY-Bot.

Leiterplatten 3

244

Lagenaufbaustrategien

Lagenaufbauten auf der Basis von Bauteilanschlußvorgaben. Optimierte Lösungen für preiswerte aber leistungsfähige Multilayeraufbauten für High-Speed-Baugruppen. Konstruktionsvorgaben für das Fan-Out von BGAs. Zuordnung der funktionalen Qualitäten.

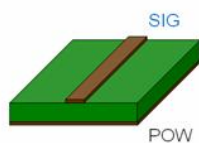
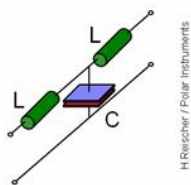
Die Verknüpfung zwischen Physik und Leiterplattentechnologie

Eine Leiterbahn kann im Ersatzschaltbild als Induktivität mit einem kapazitiven Bezug zur Referenzplane dargestellt werden. Auf der Leiterplatte wird die Kapazität durch die Breite und die Kupferdicke der Signalleiterbahn und durch den Abstand zwischen dem Signallayer und der Powerplane festgelegt. Für die **Impedanz** gilt:

$$\text{Impedanz } Z_0 = \sqrt{\frac{L}{C}}$$

Die **Signalgeschwindigkeit** ist abhängig von den dielektrischen Eigenschaften des Basismaterials.

$$\text{Signalgeschwindigkeit} = \frac{c}{\sqrt{\epsilon_f}}$$



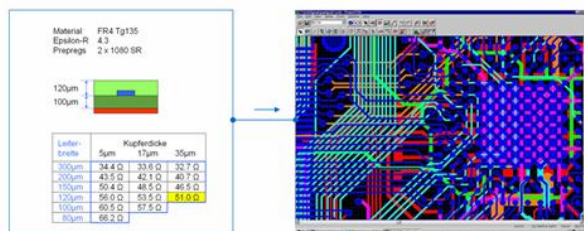
Signalübertragung

Physikalische Eigenschaften von Signalübertragungsleitungen. Einfache elektrische Eigenschaften von Leiterbildern.

Definition von Impedanzmoduln inklusive der Integration in einen Multilayer. Kapazitive Einflüsse auf die Signallaufzeit.

Parameter für ML-Systeme als DFM-Vorgabe für das CAD-System

Jedes Impedanzmodul ist Teil eines Multilayersystems. Aus dem Lagenaufbau ergeben sich die Routingparameter für das CAD-Layout. Nach Fertigstellung des Layouts werden durch den Postprozeß die Produktionsdaten für die CAM des Leiterplattenherstellers erstellt.



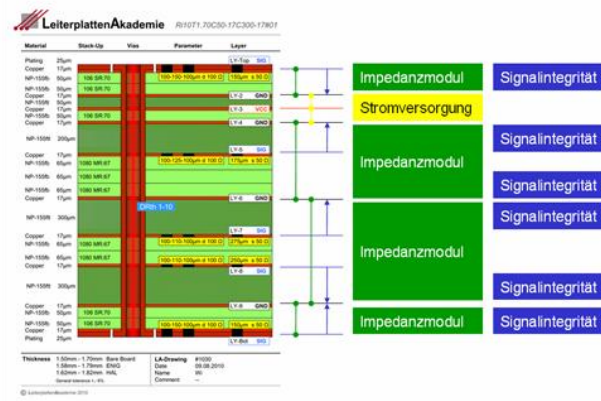
Der **CAD-Postprozeß** kehrt die Parametrisierung wieder um: Aus den gerouteten Leiterbahnbreiten, den Layerzuordnungen und den vorgegebenen Laminat- und Kupferdicken ergibt sich die Impedanz.

Impedanzmoduln

Nomenklatur für diverse impedanzdefinierte Strukturen. Single-Ended und Differentielle Impedanzen. Allgemeine Standardmoduln. Beispiele für die Berechnung von Impedanzen. Integration der Constraints in das CAD-System als Vorgaben für das Routing.

Funktionsmoduln in einem Multilayer

Die Konstruktion von *Funktionsräumen* in einem Multilayersystem.



Multilayersysteme

Integration unterschiedlicher Anforderungen in ein Multilayersystem. Berücksichtigung von EMV und Signalintegrität. Multipowersysteme mit Referenzplanes zur Vermeidung von Übersprechen. Beachten der Signal- und der Stromversorgungsräume.

Ihr Referent



Arnold Wiemers ist der Leiterplatte seit 1983 verbunden. Von 1985 bis 2009 war er bei der ILFA GmbH in Hannover beschäftigt.

Er war dort verantwortlich für die Fachbereiche CAD und CAM, für die Auftragsvorbereitung und für die technischen Dokumente der Firma ILFA im Internet.

Er ist seit 1982 freier Softwareentwickler (ISW), vornehmlich für branchentypische Applikationen im Bereich der Leiterplatte, wie die Kalkulation und die Fertigungssteuerung von Leiterplatten.

Diverse Fachveröffentlichungen. Referent für Seminare, Konferenzvorträge und Workshops zum Thema Leiterplattentechnologie (MFT, MPS, Impedanz, Multilayersysteme, Designregeln, Gerber, LP2010).

Vom IPC zertifizierter CID, CID+ und Instructor. FED-Designer und FED-Referent. Mitarbeit am Schulungskonzept des FED. Mitarbeit in der international besetzten "Projektgruppe Design" des FED und des VdL/ZVEI.

Die LeiterplattenAkademie

Die Sicherung des Standortes Deutschland in Europa und der Erhalt der internationalen Wettbewerbsfähigkeit setzt sowohl die systematische als auch die kontinuierliche Qualifikation der Mitarbeiter/innen eines Unternehmens voraus.

Die wirtschaftliche Leistungsfähigkeit einer Industriegesellschaft und ihre technologische Kompetenz am Weltmarkt wird (auch) durch die Qualität ihrer Elektronikprodukte bestimmt.

Das erfordert eine fachlich hochwertige Aus- und Weiterbildung.

Die zentrale Aufgabe der LeiterplattenAkademie ist, das Fachwissen aus den Bereichen der Schaltungsentwicklung, des CAD-Designs, der CAM-Bearbeitung, der Leiterplattentechnologie und der Baugruppenproduktion in Seminaren, Workshops und Tutorials zu vermitteln.

Seminare und Teilnahmegebühren

Das Tagesseminar "LP3" wird als freies Seminar durchgeführt, kann für Konferenzen gebucht werden und steht auch als InHouse-Seminar zur Verfügung.

Freies Seminar

Die Durchführung liegt bei der LeiterplattenAkademie. Die Termine werden via Mailing, eMail, Internet oder Presseveröffentlichungen mitgeteilt. Die Veranstaltungsorte sind in Deutschland, Österreich und der Schweiz. Die Teilnahmegebühr beträgt 520 € zzgl. MwSt. pro Person. Inklusive ausführlicher Seminarunterlagen, Teilnahmezertifikat, Essen und Getränke.

Konferenz-Seminar

Wenn Sie "LP3" auf Ihrer Konferenz anbieten möchten, dann sprechen Sie bitte unsere Seminarleitung an.

InHouse: Unser Seminar in Ihrem Haus

"LP3" wird auch firmenintern referiert. Sie sparen sowohl Reise- als auch Übernachtungskosten, vor allem jedoch Zeit.

Ab 1.550 € zzgl. MwSt. für einen Teilnehmer liefern wir Ihnen unseren Referenten "frei Haus". Für jeden weiteren Teilnehmer bis 10 Personen berechnen wir Ihnen 150 € p.P. Weitere Teilnehmer auf Anfrage.

Eine individuelle Themengestaltung mit firmentypischen Schwerpunkten ist selbstverständlich möglich. Bitte stimmen Sie sich mit uns ab: inhouse@leiterplattenakademie.de

Jeder Teilnehmer erhält ausführliche Seminarunterlagen sowie ein Teilnahmezertifikat.

Wir bieten Ihnen 15% Rabatt für InHouse-Seminare in den Monaten Juli und August.



LeiterplattenAkademie

Die LeiterplattenAkademie

Die LA - LeiterplattenAkademie GmbH ist eine Schulungs- und Weiterbildungseinrichtung für die Fachbereiche

Schaltungsentwicklung

CAD-Design

CAM-Bearbeitung

Leiterplattentechnologie

Baugruppenproduktion

Die Akademie versteht sich als Partner für öffentliche Einrichtungen und Unternehmen der Wirtschaft, die in vergleichbaren Feldern engagiert sind.



LA - LeiterplattenAkademie GmbH
Krefelder Straße 18
10555 Berlin

Telefon	(030) 34 35 18 99
Telefax	(030) 34 35 19 02
eMail	info@leiterplattenakademie.de
Internet	www.leiterplattenakademie.de